

Table 6–3 lists the connectivity between the dedicated clock input pins and RCLKs in device Quadrant 1. A given clock input pin can drive two adjacent regional clock networks to create a dual-regional clock network.

Table 6–3. Clock Input Pin Connectivity to Regional Clock Networks (Quadrant 1)

Clock Resource	CLK (p/n Pins)															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RCLK0	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK1	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK2	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK3	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
RCLK4	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK5	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK54	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
RCLK55	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
RCLK56	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
RCLK57	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK58	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
RCLK59	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
RCLK60	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
RCLK61	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK62	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
RCLK63	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—

Table 6–4 lists the connectivity between the dedicated clock input pins and RCLKs in device Quadrant 2. A given clock input pin can drive two adjacent regional clock networks to create a dual-regional clock network.

Table 6–4. Clock Input Pin Connectivity to Regional Clock Networks (Quadrant 2) (Part 1 of 2)

Clock Resource	CLK (p/n Pins)															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RCLK38	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK39	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
RCLK40	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
RCLK41	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
RCLK42	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK43	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
RCLK44	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
RCLK45	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—
RCLK46	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
RCLK47	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
RCLK48	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
RCLK49	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—

Table 6-4. Clock Input Pin Connectivity to Regional Clock Networks (Quadrant 2) (Part 2 of 2)

Clock Resource	CLK (p/n Pins)															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RCLK50	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—
RCLK51	—	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—
RCLK52	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓
RCLK53	—	—	—	—	—	—	—	—	—	—	—	—	—	—	✓	—

Table 6-5 lists the connectivity between the dedicated clock input pins and RCLKs in device Quadrant 3. A given clock input pin can drive two adjacent regional clock networks to create a dual-regional clock network.

Table 6-5. Clock Input Pin Connectivity to Regional Clock Networks (Quadrant 3)

Clock Resource	CLK (p/n Pins)															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RCLK22	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
RCLK23	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
RCLK24	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
RCLK25	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
RCLK26	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
RCLK27	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
RCLK28	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
RCLK29	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
RCLK30	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
RCLK31	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
RCLK32	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK33	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—
RCLK34	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—
RCLK35	—	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—
RCLK36	—	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—
RCLK37	—	—	—	—	—	—	—	—	—	—	✓	—	—	—	—	—

Table 6–6 lists the connectivity between the dedicated clock input pins and RCLKs in device Quadrant 4. A given clock input pin can drive two adjacent regional clock networks to create a dual-regional clock network.

Table 6–6. Clock Input Pin Connectivity to Regional Clock Networks (Quadrant 4)



Clock Resource	CLK (p/n Pins)															
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
RCLK6	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK7	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK8	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK9	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—	—
RCLK10	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK11	—	✓	—	—	—	—	—	—	—	—	—	—	—	—	—	—
RCLK12	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
RCLK13	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
RCLK14	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
RCLK15	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
RCLK16	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
RCLK17	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—
RCLK18	—	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—
RCLK19	—	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—
RCLK20	—	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—
RCLK21	—	—	—	—	✓	—	—	—	—	—	—	—	—	—	—	—

Table 6–7 lists the dedicated clock input pin connectivity to Stratix III device PLLs.

Table 6–7. Stratix III Device PLLs and PLL Clock Pin Drivers (Part 1 of 2) (Note 1)

Dedicated Clock Input Pin (CLKp/n pins)	PLL Number											
	L1	L2	L3	L4	B1	B2	R1	R2	R3	R4	T1	T2
CLK0	✓	✓	✓	✓	—	—	—	—	—	—	—	—
CLK1	✓	✓	✓	✓	—	—	—	—	—	—	—	—
CLK2	✓	✓	✓	✓	—	—	—	—	—	—	—	—
CLK3	✓	✓	✓	✓	—	—	—	—	—	—	—	—
CLK4	—	—	—	—	✓	✓	—	—	—	—	—	—
CLK5	—	—	—	—	✓	✓	—	—	—	—	—	—
CLK6	—	—	—	—	✓	✓	—	—	—	—	—	—
CLK7	—	—	—	—	✓	✓	—	—	—	—	—	—
CLK8	—	—	—	—	—	—	✓	✓	✓	✓	—	—
CLK9	—	—	—	—	—	—	✓	✓	✓	✓	—	—
CLK10	—	—	—	—	—	—	✓	✓	✓	✓	—	—
CLK11	—	—	—	—	—	—	✓	✓	✓	✓	—	—
CLK12	—	—	—	—	—	—	—	—	—	—	✓	✓

芯片详细信息

Manufacturer Part Number: EP2S130F1508I5	Pbfree Code:  No	Rohs Code:  No	Part Life Cycle Code: Transferred
Ihs Manufacturer: ALTERA CORP	Package Description: BGA, BGA1508,39X39,40	Reach Compliance Code: compliant	ECCN Code: 3A001.A.7.A
HTS Code: 8542.39.00.01	Manufacturer: Altera Corporation	Risk Rank: 5.83	JESD-30 Code: S-PBGA-B1508
JESD-609 Code: e0	Moisture Sensitivity Level: 3	Number of Inputs: 1126	Number of Logic Cells: 132540
Number of Outputs: 1118	Number of Terminals: 1508	Package Body Material: PLASTIC/EPOXY	Package Code: BGA
Package Equivalence Code: BGA1508,39X39,40	Package Shape: SQUARE	Package Style: GRID ARRAY	Peak Reflow Temperature (Cel): 220
Power Supplies: 1.2,1.5/3.3,3.3 V	Programmable Logic Type: FIELD PROGRAMMABLE GATE ARRAY	Qualification Status: Not Qualified	Subcategory: Field Programmable Gate Arrays
Surface Mount: YES	Technology: CMOS	Terminal Finish: Tin/Lead (Sn/Pb)	Terminal Form: BALL
Terminal Pitch: 1 mm	Terminal Position: BOTTOM	Time@Peak Reflow Temperature- Max (s): 30	

Section II. I/O Interfaces

EP3SL110F780I4N	6	BGA	20+	Intel/Altera
EP3SL110F780I4N	280	BGA	20+	ALTERA
EP3SL150F1152C4N	5	BGA	20+	Intel/Altera
EP3SL150F1152C4N	163	FBGA900	20+	ALTERA
EP3SL150F1152C4N	1000	BGA	20+	ALTERA
EP3SL150F1152I3N	300	BGA	20+	ALTERA
EP3SL150F1152I4N	500	BGA	20+	ALTERA
EP3SL150F780C2N	152	BGA	20+	ALTERA
EP3SL150F780I3N	1010	SOP	20+	ALTERA
EP3SL200F1152I3N	228	BGA	20+	ALTERA
EP3SL200F1152I4N	105	FBGA676	20+	ALTERA
EP3SL200F1517C3N	70	BGA	20+	ALTERA
EP3SL200H28I3N	50	BGA	20+	XILINX
EP3SL200H780C4N	285	FBGA780	20+	ALTERA
EP3SL260F1517C3N	68	BGA	20+	ALTERA
EP3SL340F1517C2N	200	BGA	20+	ALTERA
EP3SL340F1517C3N	100	BGA	20+	ALTERA
EP3SL340F1517C4N	105	BGA	20+	ALTERA
EP3SL340F1517I3N	3	BGA	20+	Intel/Altera
EP3SL340F1517I3N	371	FCBGA1136	20+	ALTERA
EP3SL340F1517I4N	321	BGA	20+	ALTERA
EP3SL340H1152I3N	136	BGA	20+	Intel/Altera
EP3SL340H1152I4N	256	BGA	20+	ALTERA
EP3SL50F780C3N	140	BGA	20+	Intel/Altera
EP3SL50F780C4N	133	BGA	20+	ALTERA
EP4S100G5F45I1N	200	BGA	20+	Intel/Altera
EP4S100G5F45I1N	50	BGA	20+	ALTERA
EP4S40G2F40I2N	120	BGA	20+	XILINX
EP4S40G5H40I2N	25	BGA	20+	ALTERA
EP4S40G5H40I2N	40	BGA	20+	Intel/Altera
EP4S40G5H40I2NAD	60	BGA	20+	ALTERA
EP4S40G5H40I4N	220	FBGA1158	20+	ALTERA
EP4SE230F29C4N	8	BGA	20+	ALTERA
EP4SE230F29I3N	60	BGA	20+	ALTERA
EP4SE230F29I4N	68	FCBGA900	20+	ALTERA
EP4SE230F29IN	500	BGA	20+	ALTERA
EP4SE230F35I4N	200	BGA	20+	ALTERA